

Complementary MOS circuit having decreased parasitic capacitance

Patent Number: ☐ US4837460
Publication date: 1989-06-06
Inventor(s): UCHIDA YUKIMASA (JP)
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP)
Requested Patent: ☐ JP59153331
Application Number: US19840573202 19840123
Priority Number(s): JP19830027470 19830221
IPC Classification: H03K17/14
EC Classification: G05F3/20S, H01L27/02B3B
Equivalents: DE3477448D, ☐ EP0116820, B1, JP1727649C, JP4012649B

Abstract

The substrate voltages V1 and V2 of NMOS and PMOS transistors, respectively, which constitute a CMOS circuit and the source voltages V3 and V4 of these transistors have the following relationship: V1

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-153331

⑮ Int. Cl.³
H 03 K 19/094

識別記号

庁内整理番号
7631-5 J

⑬ 公開 昭和59年(1984)9月1日

発明の数 2
審査請求 有

(全 7 頁)

⑭ 半導体装置

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

⑯ 特 願 昭58-27470

⑰ 出 願 人 株式会社東芝

⑱ 出 願 昭58(1983)2月21日

川崎市幸区堀川町72番地

⑲ 発 明 者 内田幸正

⑳ 代 理 人 弁理士 猪股清 外 3 名

明 細 書

1. 発明の名称 半導体装置

2. 特許請求の範囲

1. 一 半導体基板上にNチャネルMOSトランジスタおよびPチャネルMOSトランジスタを有してなり、該NチャネルMOSトランジスタおよびPチャネルMOSトランジスタのそれぞれのゲート端子と電気的に共通接続された入力端子より信号を入力し、前記NチャネルMOSトランジスタおよびPチャネルMOSトランジスタのそれぞれのドレイン端子と電気的に共通接続された出力端子より信号を出力するCMOS回路と、前記NチャネルMOSトランジスタおよびPチャネルMOSトランジスタのそれぞれの基極端子にそれぞれ電圧値が V_1 、 V_2 の電源電力を供給する第1の電源供給手段と、前記NチャネルMOSトランジスタおよびPチャネルMOSトランジスタのそれぞれのソース端子にそ

れぞれ電圧値が V_3 、 V_4 の電源電力を供給する第2の電源供給手段とを備え、前記電源電力の電圧値 V_1 、 V_2 、 V_3 、 V_4 の間に $V_1 < V_3 < V_4 < V_2$ の関係が成立する半導体装置。

2. 一 半導体基板上に、NチャネルMOSトランジスタおよびPチャネルMOSトランジスタを有してなるCMOS回路を設け、該NチャネルMOSトランジスタおよびPチャネルMOSトランジスタのそれぞれのゲート端子と電気的に共通接続された入力端子より信号を入力し、前記NチャネルMOSトランジスタおよびPチャネルMOSトランジスタのそれぞれのドレイン端子と電気的に共通接続された出力端子より信号を出力する半導体装置において、

前記一 半導体基板上に、第1および第2の外部電源端子を介してそれぞれ供給される第1および第2の外部電源電力を第1および第2の内部電源電力に変換して第1および第2の内部電源回路にそれぞれ供給する定電圧電源回路を設け、前記第1および第2の外部電源端子のそれぞれ

と前記NチャンネルMOSトランジスタおよびPチャンネルMOSトランジスタのそれぞれの基板端子とを電気的に接続すると共に、前記第1および第2の内部電源線のそれぞれの前記NチャンネルMOSトランジスタおよびPチャンネルMOSトランジスタのそれぞれのソース端子とを電気的に接続し、前記第1および第2の外部電源電力のそれぞれの電圧値 V_1 、 V_2 と前記第1および第2の内部電源電力のそれぞれの電圧値 V_3 、 V_4 との間に $V_1 < V_3 < V_4 < V_2$ の関係が成立することを特徴とする半導体装置。

3. 前記第1および第2の内部電源電力のそれぞれの電圧値 V_3 、 V_4 の差 $|V_3 - V_4|$ の値は前記第1および第2の外部電源電力のそれぞれの電圧値 V_1 、 V_2 の差 $|V_1 - V_2|$ の値の変動にかかわらず一定値であることを特徴とする特許請求の範囲第2項記載の半導体装置。

ース端子103および基板端子104はLSIチップ外部から電源を供給する外部基準電源 V_{SS} に電気的に共通接続され、PMOSトランジスタ2のソース端子203および基板端子204は外部電源 V_{CC} に電気的に共通接続される。

〔背景技術の問題点〕

従来装置は上述の如き構成であるため、下記の様な欠点がある。

第1に、CMOS回路を構成するPMOSトランジスタとNMOSトランジスタの各基板が、LSIチップの外部から電源を供給する外部電源端子(V_{CC})と外部基準電源端子(V_{SS})に接続されているため、PMOSトランジスタおよびNMOSトランジスタのそれぞれの基板とソース、ドレイン間の寄生容量が大きく、高速化に適していない。

第2に、外部電源 V_{CC} につながるPMOSトランジスタと外部基準電源 V_{SS} につながるNMOSトランジスタのそれぞれにおいてソースと基板の電位が同じであるため、キャパシタンス結合や熱、光励起、電源ノイズ等により誘起されてPMOSトラ

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、半導体装置上にCMOS(相補性MOS)回路を設けた半導体装置に関する。

〔発明の技術的背景〕

近年、MOS-LSI技術の発展と共に、相補性MOS形回路よりなるCMOS-LSIが低消費電力性の点で注目されている。

第1図を参照して従来のCMOS回路を構成する基本回路(CMOSインバータ)を説明する。第1図は従来のバルクCMOSインバータの回路図で、NチャンネルMOSトランジスタ(以下「NMOSトランジスタ」という)1とPチャンネルMOSトランジスタ(以下「PMOSトランジスタ」という)2から構成される。NMOSトランジスタ1およびPMOSトランジスタ2のゲート端子101、201は入力端子INに電気的に共通接続され、NMOSトランジスタ1およびPMOSトランジスタ2のドレイン端子102、202は出力端子OUTに電気的に共通接続される。また、NMOSトランジスタ1のソ

ンジスタのソース(P^+)および基板(N)とNMOSトランジスタの基板(P)およびソース(N^+)の間で構成されるPNPNスイッチがターンオンし、サイリスタ効果の一種であるラッチアップ現象が起こり易い。

第3に、動作を高速化するためにはPMOSトランジスタおよびNMOSトランジスタのスケーリングに頼らざるをえないが、素子のデイメンションを縮小すると外部から供給される電源電圧が制約を受け、例えば、電源を電圧5Vで一定に保つとスケーリングに制限が生じる。すなわち、素子のデイメンションをスケーリングによつて縮小しすぎると、①パンチスルー現象、②ブレークダウン現象、③ホットキャリアのゲート絶縁膜へのトラップ、④少数キャリアの注入、⑤基板電流の増大等の問題で不動作もしくは動作信頼性の低下が生じ、スケーリングに制限が出る。そのため、スケーリングによつて高速化を図るのが困難になる。

第4に、外部電源 V_{CC} または外部基準電源 V_{SS} の電圧変動やノイズ、スパイク等がそのままLSI

チップ上の回路の動作に影響を与えるため、回路の性能が外部から供給される電源に左右され、動作マージンが狭い。

〔発明の目的〕

本発明は上記の従来技術の欠点に鑑みてなされたもので、下記の目的を達成する半導体装置を提供することを目的とする。すなわち、第1の目的はPMOSTランジスタおよびNMOSTランジスタのそれぞれの基板とソース、ドレイン間の寄生接合容量を少なくし、高速化を達成できる半導体装置を提供することである。第2の目的は、PMOSTランジスタおよびNMOSTランジスタの基板およびソース間で構成されるPNPNスイッチがターンオンし、これによつてラッチアップ現象を起こすことのない半導体装置を提供することである。第3の目的は、スケーリングによつて素子のディメンジョンを縮小し、高速化を達成できる半導体装置を提供することである。第4の目的は、外部から供給される電源の変動によつて性能が左右されることがなく、かつ動作マージンを広くできる

〔発明の実施例〕

第2図乃至第7図を参照して本発明の実施例を説明する。第2図は一実施例の回路図で、第1図と同一の要素は同一の符号で示す。半導体基板3上には、CMOSインバータ4以外に第1の内部電源回路5および第2の内部電源回路6を設ける。第1、第2の内部電源回路5、6は、第1、第2の外部電源端子51、61を介して与えられる電圧値 V_1 、 V_2 の第1、第2の外部電源電力を電圧値 V_3 、 V_4 の第1、第2の内部電源電力に変換し、第1、第2の内部電源端子52、53を介してNMOSTランジスタ1およびPMOSTランジスタ2のそれぞれのソース端子103、203に供給する。また、NMOSTランジスタ1およびPMOSTランジスタ2のそれぞれの基板端子104、204には、第1、第2の外部電源電力（電圧値 V_1 、 V_2 ）が供給される。なお、上記の電圧値 V_1 、 V_2 、 V_3 、 V_4 の間には $V_1 < V_3 < V_4 < V_2$ なる関係が成立しているものとし、例えば $V_1 = 0$ ボルト、 $V_2 = 5$ ボルト、 $V_3 = 1$ ボルト、 $V_4 = 4$ ボルトになっていると

半導体装置を提供することである。

〔発明の概要〕

上記の目的を実現するため本発明は、一半導体基板上に設けられたCMOS回路を構成するNMOSTランジスタおよびPMOSTランジスタのそれぞれのゲートを信号の入力端子に共通接続し、それぞれのドレインを信号の出力端子に共通接続する半導体装置に、外部から供給される電源（電圧値 V_1 、 V_2 ）にもとづいて内部電源電力（電圧値 V_3 、 V_4 ）を発生する定電圧電源回路（入力電圧値 V_1 、 V_2 の変動に対し出力電圧値 V_3 、 V_4 があまり変動しない）を設け、電圧値 V_1 、 V_2 、 V_3 、 V_4 の電源がそれぞれNMOSTランジスタの基板端子、PMOSTランジスタの基板端子、NMOSTランジスタのソース端子、PMOSTランジスタのソース端子に供給され、かつこれらMOSランジスタの接合部分に所定のバイアスがかかるようにするために、それら電圧値の間には $V_1 < V_3 < V_4 < V_2$ の関係が成立するようにした半導体装置を提供するものである。

する。

上記の如くCMOSインバータ4に対して電源電力が供給されるため、NMOSTランジスタ1のソース端子103と基板端子104の間には1ボルトの基板バイアス電圧が加わり、PMOSTランジスタ2のソース端子203と基板端子204の間にも1ボルトの基板バイアス電圧が加わる。その結果、CMOSインバータ4の寄生接合容量が著しく少なくなり、動作の高速化が実現できる。また、PMOSTランジスタ2のソース（ P^+ ）および基板（ N ）とNMOSTランジスタの基板（ P ）およびソース（ N^+ ）の間で構成されるPNPNスイッチのいずれのPN接合も逆バイアスされるので、外的要因によつてラッチアップ現象を起こすことが少ない。さらに、第1、第2の内部電源回路から電源電力を供給しているため、外部からの電源電圧を一変にさせたままスケーリングにより高集積化を図ることができただけでなく、外部からの電源電圧の変動により性能が左右されることも少ない。

なお、CMOSインバータ4は、電圧値 V_1 から

V_2 までの振幅の入力信号または電圧値 V_3 から V_4 までの振幅の入力信号に対し、電圧値 V_3 から V_4 の振幅を反転した出力信号を発する。

第3図を参照して本発明の他の実施例を説明する。第3図は他の実施例の回路図で、第1図および第2図と同一の要素は同一の符号で示す。第2の内部電源回路6は第1および第2の外部電源電力(電圧値 V_1, V_2) を第2の内部電源電力(電圧値 V_4) に変換し、端子62を介して出力する。また、第1の内部電源回路5は第1の外部電源電力(電圧値 V_1) および第2の内部電源電力(電圧値 V_4) を第1の内部電源電力(電圧値 V_3) に変換し、端子52を介して出力する。なお、電圧値 V_1, V_2, V_3, V_4 の間には、第2図の回路と同様に $V_1 < V_3 < V_4 < V_2$ の関係が成立しているものとする。

第4図を参照して本発明の他の実施例を説明する。第4図は他の実施例の回路図で、第1図乃至第3図と同一の要素は同一の符号で示す。第1の内部電源回路5は第1、第2の外部電源電力(電

路を介して与えられる。また、PMOSトランジスタ9のソース端子および抵抗 R_1 の一端には第2の内部電源電力(電圧値 V_4) が与えられる。相互コンダクタンス g_m の大なるNMOSトランジスタ8のドレイン端子はダイオード D_4 のカソード側および端子52に接続され、これを介して第1の内部電源電力(電圧値 V_3) が出力される。

第2の外部電源電力(電圧値 V_2) は、端子61を介してPMOSトランジスタ11、11のそれぞれのソース端子に与えられる。PMOSトランジスタ10はNMOSトランジスタ12と共にCMOSインバータを構成し、出力信号をNOT回路 G_2 を介してPMOSトランジスタ11のゲート端子に供給する。なお、このCMOSインバータの入力信号は、ダイオード $D_5 \sim D_{10}$ と抵抗 R_2 よりなる定電圧回路を介して与えられる。また、NMOSトランジスタ12のソース端子および抵抗 R_2 の一端には、端子51' を介して第1の外部電源電力(電圧値 V_1) が与えられる。相互コンダクタンス g_m の大なるPMOSトランジスタ11のドレイン端子はダイオ-

圧値 V_1, V_2) を第1の内部電源電力(電圧値 V_3) に変換し、端子52より出力する。第2の内部電源回路6は第2の外部電源電力(電圧値 V_2) および第1の内部電源電力(電圧値 V_3) を第2の内部電源電力(電圧値 V_4) に変換し、端子62を介して出力する。なお、電圧値 V_1, V_2, V_3, V_4 の間には、第2図および第3図の回路と同様に $V_1 < V_3 < V_4 < V_2$ の関係が成立しているものとする。

第5図は第3図に示す実施例の第1、第2の内部電源回路5、6の構成を詳細に示す回路図で、第3図と同一の要素は同一の符号で示してある。第1の外部電源電力(電圧値 V_1) は、端子51を介してNMOSトランジスタ7、8のそれぞれのソース端子に与えられる。NMOSトランジスタ7はPMOSトランジスタ9と共にCMOSインバータを構成し、出力信号をNOT回路 G_1 を介してNMOSトランジスタ8のゲート端子に供給する。なお、このCMOSインバータの入力信号は、ダイオード D_1, D_2, D_3, D_4 と抵抗 R_1 よりなる定電圧回

路 D_{10} のアノード側および端子62に接続され、これを介して第2の内部電源電力(電圧値 V_4) が出力される。

ここで、 $V_1 = 0$ ボルト、 $V_2 = 5$ ボルト とすると、第2の内部電源回路6は、ダイオード $D_5 \sim D_{10}$ および抵抗 R_2 よりなる定電圧回路の定電圧値($V_{D2} = 3$ ボルト)と、NMOSトランジスタ10およびPMOSトランジスタ12で構成されるCMOSインバータのしきい値($V_{T2} = 1$ ボルト)により定まる電圧値の第2の内部電源電力(電圧値 $V_4 = V_{D2} + V_{T2} = 3 + 1 = 4$ ボルト)を出力する。また、第1の内部電源回路5は、ダイオード $D_1 \sim D_4$ および抵抗 R_1 よりなる定電圧回路の定電圧値($V_{D1} = 2$ ボルト)と、NMOSトランジスタ9およびPMOSトランジスタ7で構成されるCMOSインバータのしきい値($V_{T1} = 1$ ボルト)により定まる電圧値の第1の内部電源電力(電圧値 $V_3 = V_4 - V_{D1} - V_{T1} = 4 - 2 - 1 = 1$ ボルト)を出力する。なお、いずれの電源回路もフィードバックループを有しているため、安定した定電圧出力

が得られる。

第6図および第7図を参照して本発明の他の実施例を説明する。第6図は他の実施例の回路図で、第1図乃至第5図と同一要素は同一符号で示してある。電圧値が V_1, V_2, V_3, V_4 の電源電力は、それぞれ端子311, 321, 312, 322を介してMOS形集積回路30に供給される。

第7図は第6図のMOS形集積回路30を詳細に示した回路図で、第6図と同一の要素は同一の符号で示してある。第7図(a)は、PMOSTランジスタ21, 22およびNMOSTランジスタ23, 24からなるNAND回路を用いた場合で、入力信号は端子 IN_1, IN_2 に与えられ、出力信号は端子OUTより発せられる。第7図(b)はPMOSTランジスタ25, 26およびNMOSTランジスタ27, 28からなるNOR回路を用いた場合で、入力信号は端子 IN_1, IN_2 に与えられ、出力信号は端子OUTより発せられる。

〔発明の効果〕

上記の如く本発明によれば、一半導体基板上に設けられたCMOS回路を構成するNMOSTランジ

スタを成立させ、PMOSTランジスタとNMOSTランジスタの間で形成されるPNPNスイッチの全てのPN接合に逆バイアスの電圧を加えるようにしたので、外因によつても容易に順バイアスとならず、ラッチアップ現象に強い半導体装置が得られる。

第3に、内部電源回路を設けることによつて $V_1 < V_3 < V_4 < V_2$ の関係が成立する電源電力を実現したので、外部から供給される電源電圧値を一定に保つたままで（例えば、 $V_2 = 5$ ボルトにしたままで）スケールリングによる素子のダイメンションの縮小ができ、スケールリングによる回路の高集積化、高速化を実現できる半導体装置が得られる。

第4に、内部電源回路を設けて、ことから電源電力を供給しているため、外部の電源変動に性能が左右されずに動作マージンを広くとれる半導体装置が得られる。

スタおよびPMOSTランジスタのそれぞれのゲートを信号の入力端子に共通接続し、それぞれのドレインを信号の出力端子に共通接続する半導体装置に、外部から供給される電源（電圧値 V_1, V_2 ）にもとづいて内部電源電力（電圧値 V_3, V_4 ）を発する定電圧電源回路を設け、電圧値 V_1, V_2, V_3, V_4 の電源がそれぞれNMOSTランジスタの基板端子、PMOSTランジスタの基板端子、NMOSTランジスタのソース端子、PMOSTランジスタのソース端子に供給され、かつそれら電圧値の間に $V_1 < V_3 < V_4 < V_2$ の関係が成立するようにしたので、下記の効果を有する半導体装置が得られる。

第1に、電源電圧値に $V_1 < V_3 < V_4 < V_2$ の関係を成立させ、NMOSTランジスタとPMOSTランジスタの基板とソース間に逆バイアスの電圧を加えるようにしたので、寄生結合容量を小さくすることができ高速性にすぐれた半導体装置が得られる。

第2に、電源電圧値に $V_1 < V_3 < V_4 < V_2$ の関

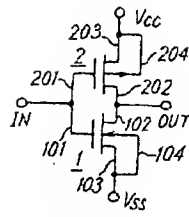
4.図面の簡単な説明

第1図は従来のCMOSインバータの回路図、第2図は本発明の一実施例の回路図、第3図乃至第7図は本発明の他の実施例の回路図である。

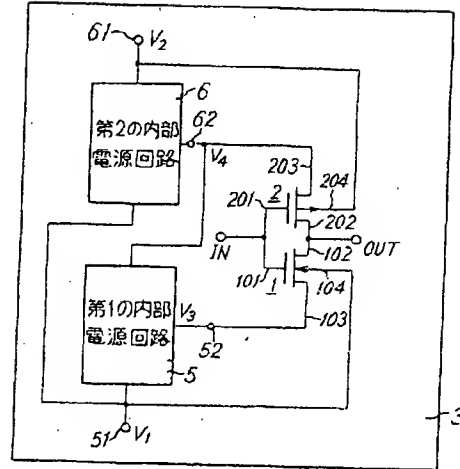
1, 7, 8, 12, 23, 24, 27, 28…NMOSTランジスタ、2, 9, 10, 11, 21, 22, 25, 26…PMOSTランジスタ、3…半導体基板、4…CMOSインバータ。

出願人代理人 猪 股 清

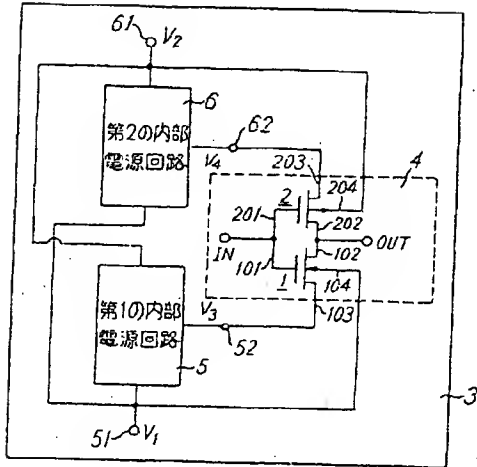
第1図



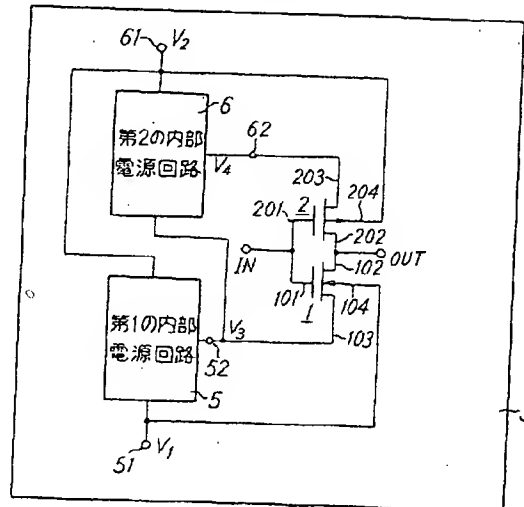
第3図



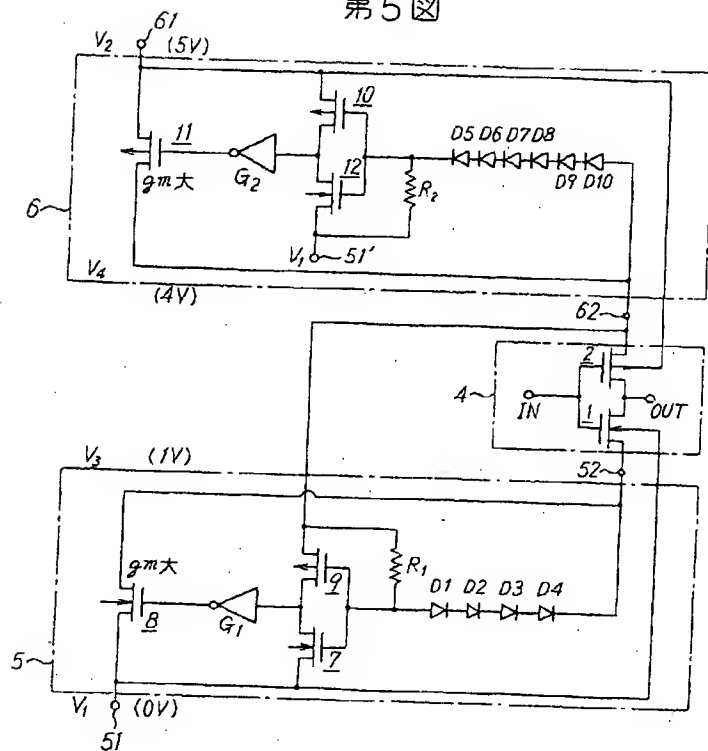
第2図



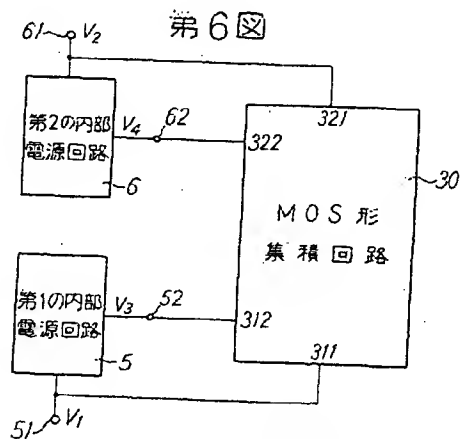
第4図



第5図



第6図



第7図

